

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07105404 A

(43) Date of publication of application: 21.04.95

(51) Int. Cl

G06T 15/00

G06T 15/40

(21) Application number: 05247842

(71) Applicant: RICOH CO LTD

(22) Date of filing: 04.10.93

(72) Inventor: SHIRAISHI NAOHITO  
FUJII TATSUYA

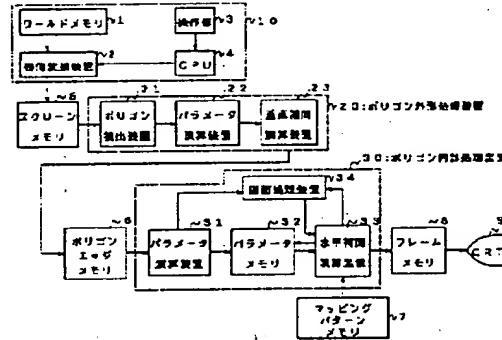
(54) STEREOSCOPIC IMAGE PROCESSOR AND ITS  
PROCESSING METHOD

(57) Abstract:

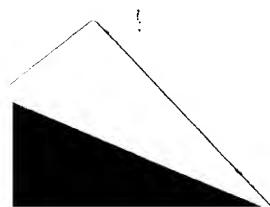
PURPOSE: To attain mapping processing based upon a Z buffer method by accessing a mapping pattern memory in accordance with an address calculated based upon the mapping address and depth information of a pattern.

CONSTITUTION: An outline processor 20 changes X and Y addresses for the mapping of a pattern stored in a memory 5 and depth information correspondingly to the outline of a polygon to interpolate and calculate the changed contents. An internal processor 30 calculates a mapping pattern address by implicit-surface processing using the Z buffer method based upon the X address of at least one of two opposed sides of the polygon located just before a compared picture element position, mapping pattern information and the displacement of the mapping pattern information. When the mapping pattern memory 7 is accessed in accordance with the calculated address, the R, G, B values or luminance values of respective dots are successively read out and transferred to a CRT 9 and displayed on the CRT 9 as a picture.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)



(51) Int. C1.	識別記号	庁内整理番号	F I	技術表示箇所
G 06 T 15/00				
15/40		9192-5 L	G 06 F 15/72	450 A

9192-5 L

G 06 F 15/72 450 A  
420

審査請求 未請求 請求項の数2

○ L

(全20頁)

(21) 出願番号 特願平5-247842

(22) 出願日 平成5年(1993)10月4日

(71) 出願人 000006747  
株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 白石 尚人  
東京都大田区中馬込1丁目3番6号 株式会  
社リコー内(72) 発明者 藤井 達也  
東京都大田区中馬込1丁目3番6号 株式会  
社リコー内

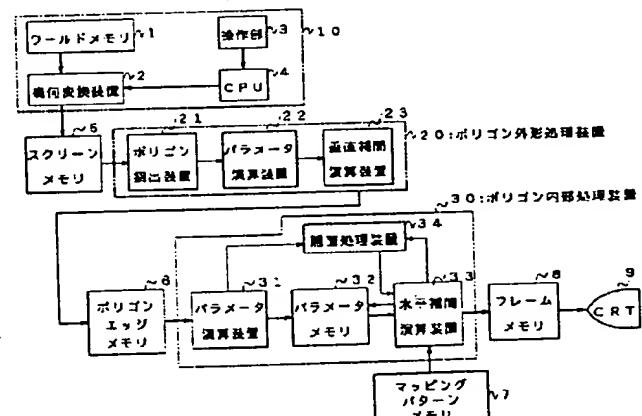
(74) 代理人 弁理士 鳥居 洋

## (54) 【発明の名称】立体画像処理装置及びその処理方法

## (57) 【要約】

【目的】 この発明は、Zバッファ法を用い、且つマッピング処理が可能な立体画像処理装置を提供することを目的とする。

【構成】 ポリゴンを構成するX、Yの端点情報及びマッピングパターン端点情報とポリゴンのZ値を格納するメモリ5と、この各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びZ値を、スキャンラインごとにポリゴン外形部分の情報を交換する外形処理装置20と、外形処理装置20にて算出した各データをZバッファ法を使用した隠面処理により、比較した画素位置における一番手前に位置するポリゴンのマッピングパターンアドレスを算出し、算出したマッピングメモアドレステーブル7をアクセスし、各ドットのR、G、Bを順次読み出す内部処理装置30と、この転送されたR、G、Bを表示するCRT9と、を備えてなる。



## 【特許請求の範囲】

【請求項1】 ポリゴンを構成するX、Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納する記憶手段と、上記記憶手段からの各端点情報を幾何変換する幾何変換手段と、上記幾何変換手段からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報をそれぞれ変換する外形処理手段と、上記外形処理手段にて算出された対向する2辺間の各アドレス情報を演算し、マッピングパターン情報の変位、Xアドレスの変位、奥行き情報の変位を求める手段と、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否か判別する手段と、一番手前に存在する画素ドットの奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在するポリゴンの奥行き情報に書き換える手段と、ポリゴンの奥行き情報に上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出する手段と、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する手段と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、上記算出されたマッピングパターンアドレスに基づき上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送する手段と、を備えて成る立体画像処理装置。

【請求項2】 ポリゴンを構成するX、Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納するメモリからの各端点情報を幾何変換する幾何変換装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報をそれぞれ変換する外形処理装置と、上記外形処理装置にて算出された対向する2辺間の各アドレス情報に基づき、Zバッファ法に基づき隠面処理を行い一番手前に位置するポリゴンのマッピングパターンアドレスを算出する内部処理装置と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、画像データを表示する表示装置と、を備え、外形処理装置にて算出された対向する2辺間の各アドレス情報によりマッピングパターン情報の変位、Xアドレスの変位、奥行き情報の変位を求め、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否か判別し、一番手前に存在するポリゴンの奥行き情報をその画素位置のポリゴン奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在する画素

ドットに書き換え、ポリゴンの奥行き情報を上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出し、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出して、上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送することを特徴とする立体画像処理方法。

## 10 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、3次元多面体物体を2次元スクリーン上に投影して表示する立体画像処理装置及びその処理方法に関する。

## 【0002】

【従来の技術】 3次元立体图形を透視変換処理、遠近処理等によって、CRTディスプレイ等の2次元(平面)スクリーン上に合成して表示する場合、手前に存在する物体が、それより奥にある物体の一部または全てを隠す処理、すなわち隠面消去処理を行う必要がある。隠面消去の方法としては、Zソート法(塗り重ね法)、Zバッファ法、スキャンライン法等がある。

【0003】 Zソート法は、処理が非常に高速に行えるという利点があるものの、ポリゴンが交差していたりするとモデルを正しく描画することができないという欠点がある。ポリゴンの処理の内部で画素(ピクセル)を単位とする前後判定を行い、上記Zソート法の欠点をなくすようにしたアルゴリズムがZバッファ法である。Zバッファ法は、各画素に表示すべきポリゴンの色データとその面の奥行き、すなわち物体のZ値(視点からの距離)を画素単位に記憶しておき、新しいポリゴンが入力される度に記憶しているZ値と新しいポリゴンのZ値を比べ、新しいZ値の方が小さい時のZ値を更新し、同時に新しいポリゴンの色データを登録するものである。これによって遠くにある物体は近くにある物体によって上書きされ、結果として隠面消去された画像を得ることができる。

【0004】 このZバッファ法は、物体のZ値を記憶させるためのZバッファを画素毎に必要とし、全体では画素数分の大きさを持つ大きな画像メモリが必要になるという問題がある。

【0005】 一方、スキャンライン法はCRTのようにラスタスキャン毎に各画素の色データを表示する場合、隣り合う画素、すぐ次のスキャンラインの画素は現画素と非常に強い相関関係を持つことに注目した方法で、逐次処理を行う装置に適しているが、多くの計算を必要として、制御論理も複雑になるという欠点を有する。

【0006】 上記の両隠面消去処理方法の中間的な隠面処理として、スキャンライン間は相関関係を利用し、1ライン内はZバッファ法を用いた装置が、例えば、特開

昭62-100878号公報に開示されている。これには、「奥行き距離（Z値）を保持する奥行きレジスタと、輝度（色・輝度）データを保持する輝度レジスタと、平面セグメントの範囲の内外判定、奥行き距離の変位加算、奥行きデータの比較を時分割的に行う1つの加算器と、入力された平面セグメントトーケンに関する情報を更新しながら一段のバイオラインレジスタを通して出力する入出力手段、及び輝度レジスタの内容を外部に出力する輝度データバスとを備えた隠れ線処理装置」が開示されている。この装置によれば、少ないハードウェア量で隠面処理を行うことができる。

## 【0007】

## 【発明が解決しようとする課題】

【0008】前述した隠線処理装置においては、輝度データのみを登録し、この輝度データを表示するように構成されているため、シェーディング等の塗りつぶし処理は行うことができるが、ポリゴン内部に模様（テクスチャー）を貼り付けるマッピング処理を行うことはできなかった。しかしながら、コンピュータグラフィックスにおいては、よりリアリティのある画像を再生することが望まれており、ポリゴンの上に対象物体の実写等のテクスチャーをマッピングし、画像を生成する手法がとられている。

【0009】表示される各ポリゴンに模様（テクスチャー）を貼り付けるいわゆるマッピング処理を行う画像処理装置が提案されている（特願平4-37311号参照）。

【0010】この画像処理装置によれば、ポリゴンの外形の変化に対応して、ポリゴン内部に付加する模様を変化させ、ポリゴンに模様を付加することができる。

【0011】しかしながら、上記したマッピング処理が可能な画像処理装置においては、ポリゴンへのマッピングを容易に行うことができるが、この装置においては、ポリゴンの隠面消去法として、Zソート法が用いられており、ポリゴンが交差した場合には、モデルを正しく描画することができないという難点があった。

【0012】この発明は上述した従来の問題点を解消し、Zバッファ法を用い、且つマッピング処理が可能な立体画像処理装置を提供することを目的とする。

## 【0013】

【課題を解決するための手段】この発明の立体画像処理装置は、ポリゴンを構成するX、Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納するメモリと、上記メモリからの各端点情報を幾何変換する幾何変換装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報をそれぞれ変換する外形処理手段と、上記外形処理手段にて算出された対向する2辺間の

10

各アドレス情報を演算し、マッピングパターン情報の変位、Xアドレスの変位、奥行き情報の変位を求める手段と、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否か判別する手段と、一番手前に存在する画素ドットの奥行き情報をその画素位置のポリゴン奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在するポリゴンの奥行き情報に書き換える手段と、ポリゴンの奥行き情報に上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出する手段と、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する手段と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、上記算出されたマッピングパターンアドレスに基づき上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送する手段と、を備えて成る。

## 【0014】

【作用】この発明は、各ポリゴン端点に模様のためのマッピングのX、Yアドレスとポリゴンの奥行き状態を示す奥行き情報を備え、そのマッピングのX、Yアドレスと奥行き情報をポリゴンの外形に対応して変化させて補間して算出する。Zバッファ法を使用した隠面処理により、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する。この算出したマッピングメモリアドレスに従いマッピングパターンメモリをアクセスすることにより、マッピングメモリ7に格納されたデータに基づき、各ドットのR、G、Bまたは輝度（LUT）値を順次読み出し、このR、G、BまたはLUT値がCRTに転送され画像として表示される。

## 【0015】

【実施例】以下、この発明の実施例につき図面を参照して説明する。

【0016】図1はこの発明を用いた疑似3次元画像処理装置の全体構成を示すブロック図であり、この装置は例えば、レーシングゲームや飛行機の操縦シミュレーション等のゲーム用機器に用いて好適な一例が示されている。図1に従いこの発明の全体構成につき説明する。

【0017】画像情報供給装置10の構成について説明すると、この装置には、ワールドメモリ1、幾何変換装置2、操作部3、CPU4を備える。ワールドメモリ1にはあらゆる物体が複数のポリゴンの集合体として表現され、ポリゴンの端点をワールド座標上のX、Y、Z座標として格納している。更に、このワールドメモリ1には、オブジェクトのオブジェクト座標上のポリゴン端点のX、Y、Z座標、及びポリゴンに対応して、夫々テク

50

スチャ画像を格納するマッピングパターンメモリの端点情報データが格納されている。操作部3は、ハンドル、アクセル、ブレーキ等で構成され、その操作内容は電気信号に変換され、CPU4へ出力される。

【0018】CPU4は、ハンドルアクセス等で構成された操作部3の操作内容に基づいて変換された電気信号に従いこの状況に応じた状況データを演算し、幾何変換装置2へデータを与える。

【0019】幾何変換装置2は、CPU4からの命令に従いワールドメモリ1から各ポリゴンの端点情報をデータを読み出し、オブジェクトの運動や視野の回転等に必要な行列演算を実行し、ワールド座標の端点をスクリーン座標へ投影変換等の幾何変換を行い、そのX、Yの2次元のスクリーンデータをスクリーンメモリ5に与える。また、ポリゴンの視野変換された代表値、すなわち、そのポリゴンの視点からの距離の代表値、すなわち、奥行き距離データ（Z値）を決定し、そのデータをスクリーンメモリ5に与える。このスクリーンメモリ5は図25に示すように、各ポリゴンの端点につき、X、Yのスクリーン座標値、Z値、マッピングパターンメモリのX、Y座標（MX、MY）値が格納される。

【0020】ポリゴン外形処理装置20は、ポリゴン摘出装置21、パラメータ演算装置22、垂直補間演算装置23で構成される。ポリゴン摘出装置21は、スクリーンメモリ5より読み出されたポリゴン端点のXYアドレスに基づいて、ポリゴンを構成する各辺のベクトルが図27に示す方向に属するかを判断し、そのベクトルの方向に応じて、図28に示すように、ポリゴンの辺を構成する端点が右辺に属するか左辺に属するかを決定する。そして、ポリゴン摘出装置21にてスクリーンメモリ5からポリゴンを構成する各辺の端点、すなわちXの始点アドレス（XS）、終点アドレス（XE）、及びYの始点アドレス（YS）、右辺アドレス（YE）、並びに、テクスチャを構成するマッピングパターンのX始点アドレス（MXS）、X終点アドレス（MXE）、Y始点アドレス（MYS）、Y終点アドレス（MYE）を取り込むと共に、ポリゴンの奥行き距離データ（Z値）を取り込み、パラメータ演算装置22に各データを与える。

【0021】そして、このポリゴン外形処理装置20のパラメータ演算装置22は、ポリゴンの外形端点情報をデジタル微分解析（DDA）で求める際に必要なパラメータを算出し、そのパラメータを垂直補間演算装置23に与える。この垂直補間演算装置23にて、ポリゴンが各スキャンラインと交差する左辺及び右辺のそれぞれの外形端点情報、マッピングパターンのアドレス及びZ値を補間しながら算出する。算出された各データがポリゴンエッジメモリ6に与えられる。このポリゴン外形処理装置20の詳細については後述する。

【0022】そして、ポリゴンエッジメモリ6には、図

23に示すように、ポリゴン外形処理装置20より与えられた各データ、すなわち、スキャンラインごとにポリゴンの左辺X、右辺Xの値と左辺のマッピングメモリアドレス、右辺のマッピングメモリアドレスと左辺のZ値、右辺のZ値が画面の垂直方向（Yアドレス方向）の解像度だけ夫々格納されている。

【0023】更に、このポリゴンエッジメモリ6には、1つのYアドレスに格納されているポリゴン数（CNT）が書き込まれる。すなわち、1つのYアドレスに1個のポリゴンを格納する毎にポリゴン数をカウントアップしてゆき、このカウント数（CNT）をポリゴンエッジメモリ6に書き込む。

【0024】ポリゴンエッジメモリ6に格納されている各データはポリゴン内部処理装置30へ与えられる。ポリゴン内部処理装置30は、パラメータ演算装置31、パラメータメモリ32、水平補間装置33、隠面処理装置34で構成される。

【0025】パラメータ演算装置31にて、スキャンライン毎にポリゴンエッジメモリ6よりポリゴンの左辺X、右辺Xの値（XL、XR）と左辺のマッピングメモリアドレス、右辺のマッピングメモリアドレス値（MXL、MXR）と左辺の及び右辺のZ値（ZL、ZR）を受取り、水平補間演算に必要なパラメータを演算し、パラメータメモリ32及び隠面処理装置34へそれぞれパラメータを転送する。パラメータメモリ32は図24に示すように、パラメータアドレス毎に左辺のX値、左辺のマッピングメモリのアドレス値（MXL、MYL）、左辺のマッピングメモリのアドレスの傾き、すなわち、差分値（DDMX、DDMY）が格納される。

【0026】この発明における隠面処理装置34はZバッファ法を使用した隠面処理を行うもので、スキャンライン毎にパラメータ演算装置31よりパラメータを受け取り、そのパラメータをバイブルайн上にて順次各ドット（画素）毎に隠面処理を行ってゆき、1スキャンラインのデータを全て処理した時点で各ドットのパラメータメモリアドレスを順次水平補間演算装置33へ転送することにより隠面処理を行う。すなわち、各ドットにおいて、格納されている一番手前に存在するポリゴンのZ値と処理するポリゴンのZ値を比較し、処理するポリゴンのZ値が小さい場合には、そのポリゴンのパラメータアドレスを水平補間演算装置33へ転送し、そのZ値を比較すべきZ値として格納する。また処理するポリゴンのZ値が大きい場合には、Z値の書換及びパラメータアドレスの書換は行わず、以前に格納されたままのパラメータアドレス値が水平補間演算装置33へ転送される。

【0027】水平補間演算装置33は、隠面処理装置34から受け取ったパラメータアドレスに従いパラメータメモリ32をアクセスし、パラメータを読み出し、水平補間演算を行ってマッピングメモリアドレス（MX、MY）を算出する。この算出したマッピングメモリアドレ

ス (MX, MY) にて、図 2 6 に示すようなデータが格納されたマッピングパターンメモリ 7 をアクセスすることにより、マッピングメモリ 7 に格納されたデータに基づき、各ドットの R, G, B または輝度 (LUT) 値を順次読み出し、フレームメモリ 8 へ書き込む。このポリゴン内部処理装置 30 の詳細については、後述する。

【0028】ポリゴン内部処理装置 30 からフレームメモリ 8 へ与えられたドットの R, G, B または LUT 値が CRT 9 に転送され画像として表示される。

【0029】つぎに、この発明のポリゴン外形処理装置 20、ポリゴン内部処理装置 30 につき図 2 ないし図 8 を参照して説明する。

【0030】この実施例においては、ポリゴンはスクリーン端点座標 (X, Y) と、テクスチャ、即ちマッピングパターンの端点座標 (MX, MY) 及び奥行き距離 (Z 値) を持つことにより、Z バッファ法による隠面処理を行うと共に、例えば図 2 6 に示すようなテクスチャをポリゴン面に対応して変形させてポリゴン面にマッピングする。

【0031】まず、ポリゴン外形処理装置 20 にてポリゴンの外形処理について、図 2 ないし図 8 に従い説明する。

【0032】この外形処理のために、ポリゴン摘出装置 21 にて、スクリーンメモリ 5 より読み出されたポリゴン端点の XY アドレスに基づいて、ポリゴンを構成する各辺のベクトルが図 2 7 に示すどの方向に属するかを判断し、そのベクトルの方向に応じて、図 2 8 に示すように、ポリゴンの辺を構成する端点が右辺に属するか左辺に属するかを決定する。

【0033】スクリーンメモリ 5 には、スクリーン端点座標 (X, Y) と、マッピングパターンの端点座標 (MX, MY) 及びポリゴンの Z 値が格納されている。ポリゴン外形処理装置 20 のポリゴン摘出装置 21 はスクリーンメモリ 5 をアクセスし、スクリーンメモリ 5 よりスクリーン端点座標 (X, Y)、マッピングパターンの端点座標 (MX, MY) 及び各ポリゴンの Z 値を読み出し、ポリゴンの外形をデジタル微分解析 (DDA) で算出するために、ポリゴンの右辺、または左辺を決定し、パラメータ算出するパラメータ演算装置 22 に夫々各辺に対応するデータを与える。即ち、X パラメータ演算装置 22 a には、スクリーン座標が、マッピングパラメータ演算装置 22 b には、各辺の始点及び終点のスクリーン座標 (X, Y) と各辺の始点及び終点のマッピングパターン座標 (MX, MY) が、Z パラメータ演算装置 22 c に、各辺の始点及び終点のスクリーン座標 (X, Y) と Z 値 (ZS, ZE) が与えられる。

【0034】ポリゴン外形処理回路 20 の X パラメータ演算装置 22 a では、ポリゴン摘出装置 21 より与えられたスクリーン座標の各辺の Y アドレスの始点 (YS) 及び終点アドレス (YE) から Y 方向の距離 (DY) を

算出する。即ち、 $DY = YE - YS$  の演算を行う。続いて、スクリーン座標の各辺の X 終点 (XE) から X 始点 (XS) までの距離  $DX = XE - XS$  の演算を行う。この DY、DX を用いて、ポリゴンの外形のデジタル微分解析 (DDA) のためのパラメータとして、 $DX/DY$  の演算をし、微差分値 (DDX) を求める。この DDX を X 垂直補間装置 23 a に転送する。そして、X 垂直補間演算装置 23 a にて補間演算を行い、この補間したデータがポリゴンエッジメモリコントローラ 24 を介してポリゴンエッジメモリ 6 に格納される。

【0035】即ち、下記式 1 の (1) 式に示すように、X パラメータ演算装置 22 a にてその微差分値を算出し、下記 (2) 式に示すように、垂直補間演算装置 23 a にて補間演算を行い各辺の始点から終点までのアドレスを算出する。この (2) 式における X の初期値は始点のデータ (XS) である。

【0036】

【数 1】

$$DDX = (XE - XS) / DY \quad \dots \quad (1)$$

$$X = X + DDX \quad \dots \quad (2)$$

【0037】また、マッピングパターンパラメータ演算装置 22 b とマッピング垂直補間装置 23 b にてマッピングパターン座標の外形処理を行う。この処理はスクリーンメモリ 5 に格納されたマッピングパターンの端点アドレス (MX, MY) を変化させる。

【0038】ポリゴン摘出装置 21 より与えられたスクリーン座標の各辺の Y アドレスの始点 (YS) 及び終点アドレス (YE) から Y 方向の距離 (DY) を算出する。即ち、 $DY = YE - YS$  の演算を行う。続いて、ポリゴン摘出装置 21 を介して与えられたスクリーンメモリ 5 からのマッピングパターンの始点アドレス (MXS, MYS)、終点アドレス (MXE, MYE) のアドレスデータからポリゴンに対応するデータを下記式 2 の (3)、(4) 式に基づいて、マッピングパラメータ演算装置 22 b にてデジタル微分解析 (DDA) のパラメータを算出し、そのパラメータをマッピング垂直補間装置 23 b に転送する。

【0039】そして、マッピング垂直補間装置 23 b にて (5)、(6) 式に示すように、補間演算を行い各辺の終点から始点までのデータを算出し、ポリゴンエッジメモリ 6 に格納する。この (5) 式における MX の初期値は始点のデータ (MYS) であり、(6) 式における MY の初期値は始点のデータ (MYS) である。

(5)、(6) 式の演算が 0 から DY まで繰り返される。

【0040】

【数 2】

$$DMX = (MXE - MXS) / DY \quad \dots \quad (3)$$

$$DMY = (MYE - MYS) / DY \quad \dots \quad (4)$$

$$MX = MX + DMX \quad \dots \quad (5)$$

$$MY = MY + DMY \quad \dots \quad (6)$$

【0041】更に、スクリーンメモリより読み出されたZ値の始点アドレス (Z S)、終点アドレス (Z E) のアドレスデータからポリゴンに対応するデータを下記数式3の (7)、(8) 式に基づいて、Z値バラメータ演算装置 22c 及びZ値垂直補間装置 23c にてデジタル微分解析 (DDA) により算出し、ポリゴンエッジメモリ 6 に格納する。即ち、(7) 式に示すように、その微差分値を算出し、(8) 式に示すように、補間演算を行い、各辺の終点から始点までのデータを算出する。この (8) 式におけるZの初期値は始点データ (Z S) である。(8) 式の演算が0からDYまで繰り返される。

【0042】

【数3】

$$DDZ = (Z E - Z S) / DY \quad \dots \quad (7)$$

$$Z = Z + DDZ \quad \dots \quad (8)$$

【0043】この実施例においては、スキャンラインに同期して、その垂直位置を示すYアドレスごとに、ポリゴンの外形とそれに基づいて変形されたマッピングパターンの外形アドレス情報及びZ値の外形アドレス情報がポリゴンエッジメモリ 6 に格納される。

【0044】上記各装置は、コントローラ 20 により制御され、このコントローラ 25 は図19に示すフローチャートに従って、端点間を DDA により補間するため、バラメータ演算装置 22、垂直補間演算装置 23 を制御する。

【0045】次にポリゴン外形処理装置 20 の具体的構成例を図3ないし図8に示す。図3はXバラメータ演算装置 22a の具体的構成を示す回路図である。

【0046】図3に示すXバラメータ演算装置 22a は垂直補間演算に用いるXバラメータを算出するためのものである。

【0047】スクリーンメモリより読み出されたY始点 (Y S) がレジスタ 201 に、スクリーンメモリより読み出されたY終点 (Y E) がレジスタ 202 に格納され、この両レジスタ 201、202 から Y S、Y E が減算器 205 に入力される。

【0048】この減算器 205 で Y E から Y S を減算処理し、この値 (DY) をレジスタ 207 が一時的に格納する。

【0049】また、スクリーンメモリより読み出されたX始点 (X S) がレジスタ 203 に、スクリーンメモリより読み出されたX終点 (X E) がレジスタ 204 に格納され、この両レジスタ 203、204 から減算器 206 に、X S、X E が与えられる。

【0050】この減算器 206 で X E から X S を減算処理し、この値 (DX) をレジスタ 208 が一時的に格納する。

【0051】レジスタ 207、208 から除算器 209 に、減算器 206 にて減算処理した DX と減算器 205

にて減算処理した DY が与えられ、DX の値を DY で除算する。除算器 209 により演算された微差分値 DDX はレジスタ 210 に一時的に格納された後、X 垂直補間装置 23a に転送される。

【0052】図4はマッピングバラメータ演算装置 22b の具体的構成を示す回路図である。マッピングバラメータ演算装置 22b は垂直補間演算に用いるマッピングバラメータを算出するためのものである。

【0053】スクリーンメモリより読み出されたY始点 (Y S) がレジスタ 211 に、スクリーンメモリより読み出されたY終点 (Y E) がレジスタ 212 に格納され、この両レジスタ 211、212 から Y S、Y E が減算器 217 に入力される。

【0054】この減算器 217 で Y E から Y S を減算処理し、この値 (DY) をレジスタ 220、222 が一時的に格納する。

【0055】また、スクリーンメモリより読み出されたマッピングメモリアドレスのX始点 (MX S) がレジスタ 213 に、スクリーンメモリより読み出されたマッピングメモリアドレスのX終点 (MX E) がレジスタ 214 に格納され、この両レジスタ 213、214 から減算器 218 に、MX S、MX E が与えられる。

【0056】この減算器 218 で MX E から MX S を減算処理し、この値 (DMX) をレジスタ 221 が一時的に格納する。

【0057】更に、スクリーンメモリより読み出されたマッピングメモリアドレスのY始点 (MY S) がレジスタ 215 に、スクリーンメモリより読み出されたマッピングメモリアドレスのY終点 (MY E) がレジスタ 216 に格納され、この両レジスタ 215、216 から減算器 219 に、MY L、MY R が与えられる。

【0058】この減算器 219 で MY E から MY S を減算処理し、この値 (DMY) をレジスタ 230 が一時的に格納する。

【0059】レジスタ 220、221 から除算器 231 に、減算器 217 にて減算処理した DY と減算器 218 にて減算処理した DMX が与えられ、DMX の値を DY で除算する。除算器 231 により演算された微差分値 D DMX はレジスタ 233 に一時的に格納された後、マッピング垂直補間装置 23b に転送される。

【0060】また、レジスタ 222、230 から除算器 232 に、減算器 217 にて減算処理した DY と減算器 219 にて減算処理した DMY が与えられ、DMY の値を DY で除算する。除算器 232 により演算された微差分値 D DMY はレジスタ 234 に一時的に格納された後、マッピング垂直補間装置 23b に転送される。

【0061】図5はZバラメータ演算装置 22c の具体的構成を示す回路図である。図5に示すZバラメータ演算装置 22c は垂直補間演算に用いるZバラメータを算出するためのものである。

【0062】スクリーンメモリより読み出されたY始点(Y S)がレジスタ235に、スクリーンメモリより読み出されたY終点(Y E)がレジスタ236に格納され、この両レジスタ235、236からY S、Y Eが減算器239に入力される。

【0063】この減算器239でY EからY Sを減算処理し、この値(D Y)をレジスタ241が一時的に格納する。

【0064】また、スクリーンメモリより読み出されたZ始点(Z S)がレジスタ237に、スクリーンメモリより読み出されたZ終点(Z E)がレジスタ238に格納され、この両レジスタ237、238から減算器240に、Z S、Z Eが与えられる。

【0065】この減算器240でZ EからZ Sを減算処理し、この値(D Z)をレジスタ242が一時的に格納する。

【0066】レジスタ241、242から除算器243に、減算器240にて減算処理したD Zと減算器239にて減算処理したD Yが与えられ、D Zの値をD Yで除算する。除算器243により演算された微差分値D D Zはレジスタ244に一時的に格納された後、Z垂直補間装置23cに転送される。

【0067】次にX垂直補間演算装置23aの構成について図6に従い説明する。

【0068】Xパラメータ演算装置22aより転送されたスクリーン座標のX Sはマルチブレクサ245を介してレジスタ247に格納される。

【0069】マルチブレクサ245は、スタート信号を受けた時だけ、Xパラメータ演算装置22aの値がレジスタ247に転送され、それ以外の時には、加算器248の出力がレジスタ247に転送されるように制御される。

【0070】レジスタ246は、Xパラメータ演算装置22aより転送されたパラメータDD Xの値を一時的に格納する。

【0071】スタート信号を受けることによりレジスタ246の値を加算器248へ転送する。加算器248にてXとDD Xが加算され、その加算結果(X)がレジスタ249に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0072】次に、マッピング垂直補間演算装置23bの構成について図7に従い説明する。

【0073】マッピングパラメータ演算装置22bより転送されたマッピングバターンメモリアドレス座標のM X Lはマルチブレクサ250を介してレジスタ252に格納される。

【0074】マルチブレクサ250は、スタート信号を受けた時だけ、マッピングパラメータ演算装置22bの値がレジスタ252に転送され、それ以外の時には、加

算器255の出力がレジスタ252に転送されるように制御される。

【0075】レジスタ251は、マッピングパラメータ演算装置22bより転送されたパラメータDD MXの値を一時的に格納する。

【0076】スタート信号を受けることによりレジスタ251の値を加算器255へ転送する。加算器255にてMXとDD MXが加算され、その加算結果(MX)がレジスタ257に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0077】また、マッピングパラメータ演算装置22bより転送されたマッピングバターンメモリアドレス座標のM Y Sはマルチブレクサ251を介してレジスタ254に格納される。

【0078】マルチブレクサ251は、スタート信号を受けた時だけ、マッピングパラメータ演算装置22bの値がレジスタ254に転送され、それ以外の時には、加算器256の出力がレジスタ254に転送されるように制御される。

【0079】レジスタ253は、マッピングパラメータ演算装置22bより転送されたパラメータDD MYの値を一時的に格納する。

【0080】スタート信号を受けることによりレジスタ253の値を加算器256へ転送する。加算器256にてMYとDD MYが加算され、その加算結果(MY)がレジスタ258に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0081】Z垂直補間演算装置23cの構成について図8に従い説明する。

【0082】Zパラメータ演算装置22cより転送されたZ Sはマルチブレクサ260を介してレジスタ262に格納される。

【0083】マルチブレクサ260は、スタート信号を受けた時だけ、Zパラメータ演算装置22cの値がレジスタ262に転送され、それ以外の時には、加算器263の出力がレジスタ262に転送されるように制御される。

【0084】レジスタ261は、Zパラメータ演算装置22cより転送されたパラメータDD Zの値を一時的に格納する。

【0085】スタート信号を受けることによりレジスタ262の値を加算器263へ転送する。加算器263にてZとDD Zが加算され、その加算結果(Z)がレジスタ264に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0086】ポリゴン内部処理装置30について、図9ないし図18に従い説明する。ポリゴン内部処理装置3

0は前述したように、パラメータ演算装置31、パラメータメモリ32。水平補間演算装置33、隠面処理装置34にて構成されている。まず、パラメータ演算装置33につき、図9ないし図11に基づき説明する。

【0087】パラメータ演算装置31はスキャンライン毎に対応する2辺すなわち、左辺及び右辺間のXYアドレスをポリゴンエッジメモリ6より読み出し、この読み出したアドレス情報に基づいて、下記式4の(9)～(12)式に従いポリゴン内部の各画素ドットのアドレスをマッピングパターンアドレス及び隠面パラメータアドレスとして算出する。

【0088】即ち、この実例においては、スキャンライン走査信号に同期して、その垂直位置としてのYアドレスに対応するポリゴンの外形を示す2点のXの左辺(XL)とXの右辺(XR)とマッピングパターンを変\*

$$DXY = XR - XL \quad \dots \quad (9)$$

$$DDMX = (MXR - MXL) / DXY \quad \dots \quad (10)$$

$$DDMY = (MYR - MYL) / DXY \quad \dots \quad (11)$$

$$DZ = (ZR - ZL) / DXY \quad \dots \quad (12)$$

【0092】そして、図9に示すように、ポリゴンエッジメモリコントローラ31cにより、ポリゴンエッジメモリ6からYアドレス(スキャンライン)毎の左辺、右辺のスキャンラインアドレス(XL, XR)、マッピングパターンのアドレス(MXL, MYL), (MXL, MXR)及びZ値(ZL, ZR)を読み出し、マッピングパラメータ演算装置31a及び隠面処理パラメータ演算装置31bにそれぞれデータを転送する。

【0093】マッピングパラメータ演算装置31aは、ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺、右辺のスキャンラインアドレス(XL, XR)、マッピングパターンのアドレス(MXL, MYL), (MXL, MXR)を受取り、上記(9)～(11)式に基づき、マッピングメモリアドレスMXのX値に対する変位、すなわち微差分値DDMX、マッピングメモリアドレスMYのX値に対する変位、すなわち微差分値DDMYを算出し、マッピングパターンのアドレス(MXR, MYL)とともに、パラメータコントローラ31dに転送する。そして、パラメータコントローラ31dからパラメータメモリ32に上記各パラメータが格納される。

【0094】図10はマッピングパラメータ演算装置31aの具体的構成を示す回路図である。

【0095】ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺のスキャンラインアドレス(XL)がレジスタ301に、右辺のスキャンラインアドレス(XR)がレジスタ302に与えられ、この両レジスタ301、302からXL, XRが減算器307に入力される。

【0096】この減算器307でXRからXLを減算処理し、この値(DXY)をレジスタ310、312に

\*形したマッピングアドレス(MX, MY)とZ値(ZL, ZR)をポリゴンエッジメモリ6から読み出す。

【0089】ポリゴンエッジメモリ6より読み出されたXアドレスの左辺及び右辺アドレスから(9)式に示すようにX方向の距離(DXY)を算出する。

【0090】このDXYを用いて、マッピングパターンをポリゴンの形に合わせて変形させるために、ポリゴンエッジメモリ6より読み出されたマッピングパターンの端点マッピングアドレス(MX, MY)及びZ値を(10)、(11)、(12)式に基づいてデジタル微分解(DDA)に用いるパラメータをマッピングパラメータ演算装置31a、隠面処理パラメータ演算装置31bにて算出する。

【0091】

【数4】

20 時的に格納する。

【0097】また、ポリゴンエッジメモリコントローラ31cより、マッピングメモリアドレスのX左辺(MXL)がレジスタ303、マッピングメモリアドレスのX右辺(MXR)がレジスタ304にそれぞれ与えられ、この両レジスタ303、304から減算器308に、MXL, MXRが与えられる。

【0098】この減算器308でMXRからMXLを減算処理し、この値(DMX)をレジスタ311が一時的に格納する。

30 【0099】更に、ポリゴンエッジメモリコントローラ31cより、マッピングメモリアドレスのY左辺(MYL)がレジスタ305に、マッピングメモリアドレスのY右辺(MYR)がレジスタ306にそれぞれ与えられ、この両レジスタ305、306から減算器309に、MYL, MYRが与えられる。

【0100】この減算器309でMYRからMYLを減算処理し、この値(DMY)をレジスタ313が一時的に格納する。

【0101】レジスタ310, 311から除算器314に、減算器307にて減算処理したDXYと減算器308にて減算処理したDMXが与えられ、DMXの値をDXYで除算する。除算器314により演算された微差分値DDMXはレジスタ316に一時的に格納された後、パラメータコントローラ31dを介してパラメータメモリ32に転送され、格納される。また、パラメータメモリ32には、左辺のマッピングメモリアドレス(MXL, MYL)がパラメータコントローラ31dを介して転送され、格納される。

【0102】レジスタ312, 313から除算器315に、減算器307にて減算処理したDXYと減算器308

9にて減算処理したDMYが与えられ、DMYの値をDXYで除算する。除算器315により演算された微差分値DDMYはレジスタ317に一時的に格納された後、パラメータコントローラ31dを介してパラメータメモリ32に格納される。

【0103】図9に示す隠面処理パラメータ演算装置31bは、ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺のスキャンラインアドレス(XL)、右辺のスキャンラインアドレス(XR)及びZ値(ZL, ZR)を受取り、パラメータ演算を行いZ値のX値に対する変位、すなわち、微差分値(DDZ)、X値の差(DXY=XR-XL)を求め、XL, DXY, ZL, DDZを隠面処理インターフェース(I/F)31eへ転送するものである。

【0104】図11は上記隠面処理パラメータ演算装置31bの具体的構成を示す回路図である。

【0105】ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺のスキャンラインアドレス(XL)がレジスタ320に、右辺のスキャンラインアドレス(XR)がレジスタ321に与えられ、この両レジスタ320、321からXL, XRが減算器324に入力される。

【0106】この減算器324でXRからXLを減算処理し、この値(DXY)をレジスタ326に一時的に格納する。

【0107】また、ポリゴンエッジメモリコントローラ31cより、Z値の左辺(ZL)がレジスタ322、Z値の右辺(ZR)がレジスタ323にそれぞれ与えられ、この両レジスタ322、323から減算器325に、ZL, ZRが与えられる。

【0108】この減算器325でZRからZLを減算処理し、この値(DZ)をレジスタ327が一時的に格納する。

【0109】レジスタ326, 327から除算器328に、減算器324にて減算処理したDXYと減算器325にて減算処理したDZが与えられ、DZの値をDXYで除算する。除算器328により演算された微差分値DDZはレジスタ329に一時的に格納された後、隠面処理装置インターフェース(I/F)31eを介して隠面処理装置34へ転送される。上記各回路はコントローラ40にて制御され、図20のフローチャートに従い動作する。

【0110】図12に隠面処理装置のブロック図を示す。隠面処理装置34はZバッファ法を使用した隠面処理を行うもので、スキャンライン毎にパラメータ演算装置31よりパラメータを受け取り、そのパラメータをバイオペラーライン上にて順次各ドット(画素)毎に隠面処理を行ってゆき、1スキャンラインのデータを全て処理した時点で各ドットのパラメータメモリアドレスを順次水平補間演算装置33へ転送することにより隠面処理を行

う。すなわち、各ドットにおいて、格納されている一番手前に存在するポリゴンのZ値と処理するポリゴンのZ値を比較し、処理するポリゴンのZ値が小さい場合には、そのポリゴンのパラメータアドレスを水平補間演算装置33へ転送し、そのZ値を比較すべきZ値として格納する。また処理するポリゴンのZ値が大きい場合には、Z値の書換及びパラメータアドレスの書換は行わず、以前に格納されたままのパラメータアドレス値を水平補間演算装置33へ転送するものである。

【0111】パラメータ演算装置31から左辺のX値(XL)、左辺のZ値(ZL)、左辺と右辺のX値の差(DXY)、Z値の微差分(DDZ)、パラメータメモリアドレスが隠面処理装置34のパラメータ演算装置I/F34bに与えられ、このパラメータ演算装置I/F34bから各データがスキャンライン隠面処理装置34aへ転送される。

【0112】スキャンライン隠面処理装置34aは、Zバッファ法に基づく隠面処理を行うものであり、スキャンラインの各ドットに対応してそのドットの隠面処理を行う為に、図13のブロック図に示すように、スキャンラインの各ドットに対応して、水平解像度に相当する数(n+1)個の水平ドット隠面処理装置34-0~34-nが設けられている。

【0113】そして、パラメータ演算装置31から受け取ったデータをスキャンラインの各ドットレベルの水平ドット隠面処理装置34-0~34-nの連なるバイオペラーラインの0アドレスから順次バイオペラーライン処理を行うことにより高速な隠面処理を行う。この水平ドット隠面処理装置34-0~34-nは、スキャンラインの各ドットに対応し、Zバッファ法によりそのドットの隠面処理を行う。

【0114】図14に水平ドット隠面処理装置の実施例を示す。パラメータ演算装置31から転送されるスキャンライン上の各ドットに対応する奥行き距離データ(Z値)は、パラメータ演算装置I/F34bを介して奥行きレジスタ341に格納される。パラメータ演算装置I/F34bから転送されるスキャンライン上の各ドットに対応するパラメータメモリ31のアドレスがパラメータアドレスレジスタ342に格納する。

【0115】比較器344の一方の入力には、Aバスの状態の値、すなわちパラメータ演算装置I/F34bを介して与えられるポリゴンのZ値が、他方の入力にはマルチプレクサ343を介して、奥行きレジスタ341に格納された以前のZ値が或いは、そのドットが対応するX値、すなわちXアドレス値が与えられる。このマルチプレクサ343は、比較器344が他のポリゴンのZ値と比較する時には、奥行きレジスタ341の値を比較器344へ送り、他のポリゴンがこのドットにかかるか調べる時には、Xアドレス値を比較器344へ送るように制御される。そして、比較器344では、バイオペラーラ

を流れてくるポリゴンがそのドットにかかるか否かの判断と、かかった場合、そのポリゴンのZ値がパラメータアドレスレジスタ342に入っているポリゴンのZ値とではどちらが手前か、すなわちどちらのZ値が小さいかの判断を行い、その結果をコントローラ352へ知らせる。

【0116】加算器346はZ値とZ値の微差分値のDDZを加算することにより、デジタル微分解析（DDA）を行い、次のドットのZ値を求めたり、左辺と右辺のX値の差、DXYから1を引くことによりそのポリゴンのXの右辺値を求めたりする。このため加算器346の一方には、BバスよりDDZ、DXYが与えられ、他方にはマルチプレクサ345からAバスの状態のZまたは"-1"の値が与えられる。マルチプレクサ345は、加算器346がZ値の演算をするときは、Aバスの状態2の値Zを加算器346へ送り、DXYの演算をする時は"-1"の値を加算器346へ送り出す。

【0117】マルチプレクサ348は加算器346がDXYの演算をした時は加算器346の出力をBバスバイオペラインレジスタ350へ送り、その他の時は、Bバスの値をBバスバイオペラインレジスタ350へ送る。

【0118】マルチプレクサ347は加算器346がZ値の更新をした時に加算器346の出力をAバスバイオペラインレジスタ349へ送り、その他の時はAバスの値をAバスバイオペラインレジスタ349へ送る。このAバスのバイオペラインレジスタ349の値は次段の水平ドット隠面処理装置34へ転送される。

【0119】Bバスバイオペラインレジスタ350のバスの値は次段の水平ドット隠面処理装置34へ転送される。Cバスバイオペラインレジスタ351のバスの値は次段の水平ドット隠面処理装置34へ転送される。コントローラ352はEバスより受けたアクティブ信号により駆動し、もしアクティブであれば、図21のようなフローに従い水平ドット隠面処理装置を動作させ、アクティブでなければ駆動しない。Eバスバイオペラインフリップフロップ353は、コントローラ352がアクティブであるか否かを示すEバス信号が格納され、このEバス信号を次の水平ドット隠面処理装置34へ転送する。

【0120】図15に各バスのデータの流れを示す。この図15及び図14を参照して、この隠面隠面処理装置の動作を説明する。

【0121】まず、スキャンラインの右端点情報として座標値の代わりに右辺と左辺の差DXYをBバスより与える。即ち左辺の座標(XL, ZL)、DXY、単位ドット当たりのZ座標の微差分値DDZが、図13に示すアレイ構造の構成される水平ドット隠面処理装置の左側からAバス、Bバスに分けて入力される。制御情報（フリップフロップ353に格納されるEバス信号）には、そのドットの存在する範囲内に入っていることを示す情報がある。各バスのデータには図15に示すようにデータ

が時分割的に与えられる。

【0122】各水平ドット隠面処理装置34の動作を図14及び図15に従い説明する。第1のタイミング状態1では、AバスにXL、BバスにDXYが、第2のタイミングでは、AバスにZ値が、BバスにDDZが与えられ、Cバスは状態1、状態2の両タイミングでパラメータアドレスが与えられる。比較器344が負の時、このドットがこの画素位置でポリゴンの存在範囲に入ったことになり、マルチプレクサ345でデータ"-1"を加算器346に与える。加算器346の他方にはBバスよりDXYを与える。ドットがポリゴンの存在範囲内の場合は、マルチプレクサ347は、レジスタ349に加算器346の出力を出力する。

【0123】第2の状態では、ドットが存在範囲に入っている状態であれば、AバスのZとBバスのDDZを加算して加算器346の出力をBバスに出力し、そうでなければデータを更新しないでBバスに出力する。そして、ドットが存在範囲内に入っている状態でAバス上のAデータZAと奥行きレジスタ341に格納されているデータZAを比較器344で比較した結果がZ < ZAの時、奥行きレジスタ341のデータを書き換えるとともに、パラメータアドレスレジスタ342にAバス上のZとCバス上のパラメータアドレスをそれぞれ格納する。

【0124】図13に示す水平ドット隠面処理装置34-0では1減算して0であるためZ値の更新、ZAとの比較は行われない。水平ドット隠面処理装置34-1では更に1減算されて負になったため、Xに代わってDXYをAバスに出力し、後の水平ドット隠面処理装置ではDXYに対して減算が行われる。水平ドット隠面処理装置34-1は更にフリップフロップ353を1として自らもZ値の更新、ZAとの比較を行う。後段の隠面処理装置ではDXYが順次1減算され、その結果が負になるまで続けられる。負になった時はフリップフロップ353を0に戻し、残りの隠面処理装置ではZ値の更新、ZAとの比較は行われない。

【0125】図16にスキャンライン隠面処理装置のバイオペラインのタイムチャートを示す。P1-1とはポリゴン状態1、P1-2とはポリゴン1の状態2、P2-1とはポリゴン2の状態1のことである。水平補間演算装置33から受けた水平ライン上のドットアドレス値をスキャンライン隠面処理装置34aへ送り、次のドットに対応する水平ドット隠面処理装置34がパラメータアドレスレジスタ342の値をDバスを介して受け取り、そのパラメータアドレスを水平補間演算装置33へ送る。これら各装置はコントローラ41で制御される。

【0126】次に図17及び図18に従い、水平補間演算装置33につき説明する。隠面処理装置34が各ドットのパラメータメモリ32のアドレスがパラメータ入力装置33aに与えられる。パラメータ入力装置33aは入力されたパラメータメモリアドレスに従って、パラメ

ータメモリ32よりそのアドレスに格納されたパラメータを読み出し、スキャン演算装置33bに転送する。

【0127】スキャン演算装置33は、パラメータメモリ32からパラメータ入力装置33aを介して転送された左辺のX値(XL)、左辺のマッピングメモリアドレス(MXL, MYL)、マッピングメモリアドレスの微差分値(DDMY)を受け取り、現在処理しているスキャンラインのXアドレスのドットのマッピングメモリアドレス(MX, MY)を求め、フレームメモリコントローラ33cに転送する。

【0128】フレームメモリコントローラ33cは、スキャン演算装置33bで求めたマッピングパターンメモリアドレス(MX, MY)によりマッピングパターンメモリ7をアクセスすることにより、現在処理されているスキャンラインのXアドレスのドットのR, G, BまたはLUT値を求めフレームメモリ8に書き込む。これら各装置はコントローラ42にて制御され、このコントローラ42は図21に示すフローチャートに従い動作する。

【0129】図18はスキャン演算装置33bの具体的実施例を示すブロック図である。パラメータメモリ32より与えられる左辺のX値(XL)がレジスタ360に格納される。このレジスタ360に格納されたXL値が減算器366の一方の入力として与えられる。またレジスタ361には処理すべきXアドレス値(XAD)が格納され、このレジスタ361からXアドレス値(XAD)が減算器366の他方の入力として与えられる。減算器366にてXL-XADの演算が行われ、処理される左辺X値(XL)の距離(DXY)が求められ、この値が乗算器367, 368の一方の入力として与えられる。

【0130】レジスタ362は、マッピングパターンメモリ7のX左辺のアドレス値(MXL)が格納され、このアドレス値(MXL)が加算器369の一方の入力として与えられる。レジスタ363にはマッピングパターンメモリアドレスのXの微差分値すなわち、変位(DDMX)が格納され、このDDMXが乗算器367の他方の入力として与えられる。

【0131】そして、乗算器367にてDXY\*DDMXの演算が行われ、この乗算結果が加算器369に与えられる。加算器369には、レジスタ362に格納されたXのマッピングメモリアドレス(MXL)が与えられ、MXL+DXY\*DDMXの演算が行われ、マッピングメモリアドレスのX値(MX)が算出され、そのMX値がレジスタ371に格納される。レジスタ364にはマッピングパターンメモリアドレスのYの差分値(DDMY)が格納され、このDDMYが乗算器368の他方の入力として与えられる。

【0132】そして、乗算器368にてDXY\*DDMYの演算が行われ、この乗算結果が加算器370に与え

られる。加算器370にはレジスタ364に格納された左辺のYのマッピングメモリアドレス(MYL)が与えられ、MYL+DXY\*DDMYの演算が行われ、マッピングメモリアドレスのY値(MY)が算出され、そのMY値がレジスタ372に格納される。

【0133】上記ポリゴン外形処理装置20及びポリゴン内部処理装置30の動作を図19ないし図22の動作フローに基づき、上記回路例に従い説明する。

【0134】ポリゴン外形処理装置20の動作につき説明する。まず、コントローラ25がポリゴン数(P)をスクリーンメモリ5より読み出し、そして、処理するポリゴン端点数を読み出し、その数をポリゴン摘出装置21に与える。(ステップS1, S2)。

【0135】そして、スクリーンメモリ5より各辺の始点(XS, YS, MXS, MYS, ZS)を、それぞれ読み出し(ステップS3)、スクリーンメモリ5のアドレスをインクリメントする。そしてスクリーンメモリ5より各辺の終点(XE, YE, MXE, MYE, ZE)をそれぞれ読み出す(ステップS4)。この読み出した端点の始点(XS, YS)、終点(XE, YE)からポリゴン摘出装置21にて方向ベクトルを算出し、この辺ベクトルに基づき左辺または右辺を判定すると共にポリゴンの向き(DIR)を設定する(ステップS5)。

【0136】そして、外形処理装置20のXパラメータ演算装置22aにてXパラメータの演算を行う(ステップS6)。Xパラメータ演算装置22aの減算器にスクリーンメモリ5からのYE, YSのデータが与えられ、両者間の距離DYを算出する。

【0137】続いて、Xパラメータ演算装置22aの減算器にスクリーンメモリ5から始点(XS)及び終点(XE)データが与えられ、この減算器からの減算結果(XE-XS)が除算器へ供給される。

【0138】この除算器にて、(XE-XS)/DYの除算が行われ、Xパラメータが算出される。(ステップS6)。

【0139】続いて、このXパラメータを用いてX垂直補間装置23aで補間演算が行われる(ステップS10)。この値(DDX)が補間演算回路の加算器へ与えられる。この加算器にて、X+DDXの補間演算が行われ、この値がレジスタに書き込まれ、このレジスタからポリゴンエッジメモリ6にXアドレスとして書き込まれる(ステップS10)。

【0140】続いて、ステップS7及びステップS8において、パラメータの演算及びマッピングパラメータの演算が行われるマッピングパラメータ演算装置22b及び2パラメータ演算装置22cでは、スクリーンメモリ5より、読み出されたマッピングパターンの端点アドレス(MXS, MYS), (MXE, MYE)及びZ値の端点アドレス(ZS, ZE)が入力され、減算器にて、MXE-MXS, 及びMYE-MYSの演算が、減算器

にて、 $Z_E - Z_S$  の演算が行われ、その演算結果が除算器と除算器に与えられる。

【0141】この除算器には差分回路の減算器 62 からの  $DY$  が与えられ、上述の演算結果との間で除算され、微差分値が算出される。

【0142】この微差分演算回路にて、 $DMX = (MX_E - MX_S) / DY$ ,  $DMY = (MY_E - MY_S) / DY$ ,  $DZ = (ZE - ZS) / DY$  の演算が行われ、パラメータが算出される。この演算結果がマッピング垂直補間装置 23b、Z 値補間装置 23c の加算器へ供給される。

【0143】ステップ S 11, S 12 では、補間装置 23b, 23c の加算器に微差分演算回路からの出力と、レジスタに設定された前のデータとの間で加算がなされ、 $MX = MX + DMX$ ,  $MY = MY + DMY$ ,  $Z = Z + DZ$  の演算が行われる。

【0144】この値がレジスタに与えられ、このレジスタの値がマッピングパターンのアドレスデータ、レジスタの値が Z 値のアドレスデータとしてポリゴンエッジメモリ 6 に書き込まれる。

【0145】ポリゴンエッジメモリ 6 には、Y アドレス毎にポリゴン辺の左辺 X アドレス、右辺 X アドレス、マッピングパターンの左辺 X アドレス、右辺 X アドレス、マッピングパターンの左辺 Y アドレス、右辺 Y アドレス、Z 値の左辺アドレス、右辺アドレスが格納される。

【0146】ステップ S 13 にて  $Y + D1R$  の演算、すなわちポリゴンが下向きの時には、“+1”、上向きの時には “-1” の演算を行いステップ S 14 に進む。そして、ステップ S 14 にて、 $Y \neq YE$  が判断され、 $Y \neq YE$  の場合には、ステップ S 10 へ戻り、前述の動作を繰り返し、 $Y = YE$  になるとステップ S 15 へ進む。

【0147】ステップ S 15 にて、ポリゴンの全ての辺が終了したか否か判断され、終了していない場合には、ステップ S 3 へ戻り、前述の動作を繰り返す。

【0148】ポリゴンの全ての辺が終了すると、ステップ S 16 へ進み、ステップ S 16 にて、ポリゴンの全ての処理が終了したか否か判断され、ポリゴンの全ての処理が終了していない場合には、ステップ S 2 に戻り、前述の動作を繰り返す。そして、ポリゴン全ての処理が終了したと判断されると、外形処理動作が終了する。

【0149】続いて、ポリゴン内部処理装置 30 について説明する。まずポリゴンエッジメモリ 6 からの読み出しについて図 20 に従い説明する。

【0150】ポリゴン内部処理装置 30 は、まず Y アドレスを初期化し（ステップ S 21）、スキャンラインの Y アドレス毎のポリゴン数を読み出し、（ステップ S 22）、ステップ S 23 に進む。

【0151】ステップ S 23 では、Y アドレス毎に対向する 2 辺間の左辺側のポリゴンの外形を示す 2 点の X の左辺（XL）、マッピングアドレスの Y 値（MYL）。

X 値（MXL）と Z 値のアドレス（ZL）をポリゴンエッジメモリ 6 から読み出す。

【0152】そして、パラメータ演算装置 31 にてマッピングパラメータ演算を行う（ステップ S 25）減算器にポリゴンエッジメモリ 6 からの X R, XL のデータが与えられ、両者間の距離 DX が算出される。この DX は微差分演算回路に供給される。

【0153】微差分演算回路内の減算器 92 にはポリゴンエッジメモリ 6 からマッピングアドレスの左辺（MXL, MYL）及び右辺（MXR, MYL）、及び Z のアドレスの左辺（ZL）、右辺（ZR）のデータがそれぞれ与えられ、この減算器からの減算結果 MXR - MXL, MYR - MYL, ZL - ZR が除算器へ供給される。

【0154】この除算器にて、 $(MXR - MXL) / DX$ ,  $(MYR - MYL) / DX$ ,  $(ZR - ZL) / DX$  の除算が行われ、この値（DDMX）（DDMY）（DDZ）がパラメータメモリ 32 に与えられると共に、隠面処理装置 34 へパラメータが与えられる（ステップ S 28）。ステップ S 29 でスキャンライン上のポリゴン全てに処理を行ったか否か判断され、処理が終了していない場合には、ステップ S 28 へ戻り前述の動作を繰り返す。

【0155】更に、1 つのスキャンライン、すなわち、Y アドレスのポリゴンが終了すると、ステップ S 30 に進み、ステップ S 30 にて Y アドレスをインクリメントし、全ての Y アドレスに対応する処理が終了するまで、すなわち、Y アドレスが垂直解像度より大きくなるまで前述の動作を繰り返し（ステップ S 31）、全てのアドレスに対応する処理が終了した時点で、パラメータメモリ 32 の書き込み動作が終了する。

【0156】次に、水平ドット隠面処理装置 34-n の動作につき、図 22 の動作フローに従い説明する。まず、そのドットがポリゴンの範囲内に存在するか否か判断される。すなわち、ポリゴンエッジメモリコントローラ 31c より、Y アドレス（スキャンライン毎）のスキャンラインアドレス XL が与えられ、この XL とそのドットが対応する X アドレス L を比較するとともに、DX Y の値が 0 であるか否か判断する。（ステップ S 7 1）。そして X アドレスより XL が大きい且つ DX Y が 0 でない場合には、そのドットがポリゴンの範囲内に存在するのでステップ S 7 2 に進み、そうでない場合には、隠面処理動作を終了する。

【0157】ステップ S 7 2 では、奥行きレジスタ 34 1 に格納された Z 値（ZA）と、今読み込んだ Z 値とを比較し、奥行きレジスタ 34 1 の Z 値の方が大きい、すなわちいま読み込んだドットの方が手前にある場合にはステップ S 7 3 に進み、Z 値が小さい場合にはステップ S 7 4 に進む。ステップ S 7 3 では、パラメータアドレスレジスタ 34 2 にパラメータアドレスを格納し、ステ

ップS74に進む。ステップS74では、 $D_X Y = D_X Y - 1$ の演算を行い、ステップS75へ進み、ステップS75で次のZ値を求める演算であるZ値の補間、すなわち、 $Z = D_D Z + Z$ の演算を行った後、隠面処理動作を終了する。

【0158】続いて、ポリゴン内部処理装置30におけるパラメータメモリ32からのデータ読み出し動作を中心として、図21の動作フロー図に従い説明する。まず、Yアドレス及びXアドレスを初期化した後（ステップS41、S42）、隠面処理装置34よりXアドレスのパラメータアドレスを読み出す（ステップS43）。

【0159】続いて、ステップS44にて、そのXアドレスにポリゴンが存在するか否か判断され、ポリゴンが存在しない場合には、ステップS49へ進み、ポリゴンが存在する場合には、ステップS45に進む。ステップS45では、隠面処理装置30より与えられたXアドレスに対応するパラメータアドレスに従ってパラメータメモリ32よりパラメータを読み出し、ステップS46へ進む。

【0160】ステップS46において、水平補間演算装置33にてパラメータメモリ32より読み出されたパラメータに従って、マッピングパターンメモリ7のアドレス（MX、MY）を算出し、ステップS47に進む。

【0161】ステップS47において、算出されたアドレスに従ってマッピングパターンメモリ7をアクセスし、マッピングパターンメモリからR、G、BまたはLUT値等の色情報を読み出し、ステップS48に進む。

【0162】ステップS48において、色情報をフレームメモリ8に書き込み、ステップS49に進む。ステップS49にて、Xアドレスを一つインクリメントし、ステップS50に進む。

【0163】ステップS50において、Xアドレスと水平解像度が比較され、Xアドレスが水平解像度より小さい時には、ステップS43に戻り前述の動作を繰り返す。Xアドレスが水平解像度より大きくなるとステップS51に進み、ステップS51にて、隠面処理装置34を初期化し、ステップS52に進む。

【0164】ステップS52にて、Yアドレスを一つインクリメントし、ステップS53に進み、ステップS53にてYアドレスと垂直解像度が比較される。Yアドレスが垂直解像度より小さい場合には、ステップS42に戻り、前述の動作を繰り返し、Yアドレスが垂直解像度より大きくなると、ポリゴン内部処理動作が終了する。

【0165】

【発明の効果】以上説明したように、この発明によれば、各ポリゴン端点に模様のためのマッピングのX、Yアドレスとポリゴンの奥行き状態を示す奥行き情報を備え、そのマッピングのX、Yアドレスと奥行き情報をポリゴンの外形に対応して変化させて補間して算出し、そして、Zバッファ法を使用した隠面処理により、比較し

た画素位置における一番手前に位置するポリゴンのXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する。この算出したマッピングメモリアドレスに従いマッピングパターンメモリをアクセスすることにより、マッピングメモリ7に格納されたデータに基づき、各ドットのR、G、Bまたは輝度（LJIT）値を順次読み出すことで、高速でマッピングを施した画像をCRTに表示することができる。

【図面の簡単な説明】

【図1】この発明の立体画像表示装置の構成を示すブロック図である。

【図2】この発明に用いられるポリゴン外形処理装置の構成を示すブロック図である。

【図3】上記ポリゴン外形処理装置におけるXパラメータ演算装置の構成を示すブロック図である。

【図4】上記ポリゴン外形処理装置におけるマッピングパラメータ演算装置の構成を示すブロック図である。

【図5】上記ポリゴン外形処理装置におけるZパラメータ演算装置の構成を示すブロック図である。

【図6】上記ポリゴン外形処理装置におけるX垂直補間装置の構成を示すブロック図である。

【図7】上記ポリゴン外形処理装置におけるマッピング垂直補間装置の構成を示すブロック図である。

【図8】上記ポリゴン外形処理装置におけるZ垂直補間装置の構成を示すブロック図である。

【図9】この発明に用いられるポリゴン内部処理装置のパラメータ演算装置の構成を示すブロック図である。

【図10】上記パラメータ演算装置のマッピングパラメータ演算装置の構成を示すブロック図である。

【図11】上記パラメータ演算装置の隠面処理パラメータ演算装置の構成を示すブロック図である。

【図12】この発明に用いられるポリゴン内部処理装置の構成を示すブロック図である。

【図13】上記隠面処理装置のスキャンライン隠面処理装置の構成を示すブロック図である。

【図14】上記スキャンライン隠面処理装置を構成する水平ドット隠面処理装置の具体的構成例を示すブロック図である。

【図15】上記水平ドット隠面処理装置へのデータの転送状態を示すタイミングチャートである。

【図16】上記スキャンライン隠面処理装置の処理タイミングを示す模式図である。

【図17】この発明に用いられる内部描画処理装置の水平補間演算装置の構成例を示すブロック図である。

【図18】上記水平補間演算装置のスキャン演算装置の構成を示すブロック図である。

【図19】この発明のポリゴン外形処理装置の動作を示すフローチャートである。

【図20】この発明のポリゴン内部処理装置の動作を示すフローチャートである。

すフローチャートである。

【図21】この発明のポリゴン内部処理装置の動作を示すフローチャートである。

【図22】この発明のポリゴン内部処理装置の隠面処理動作を示すフローチャートである。

【図23】この発明に用いられるポリゴンエッジメモリを示す模式図である。

【図24】この発明に用いられるパラメータメモリを示す模式図である。

【図25】この発明に用いられるスクリーンメモリを示す模式図である。

【図26】マッピングパターンメモリの一例を示す模式図である。

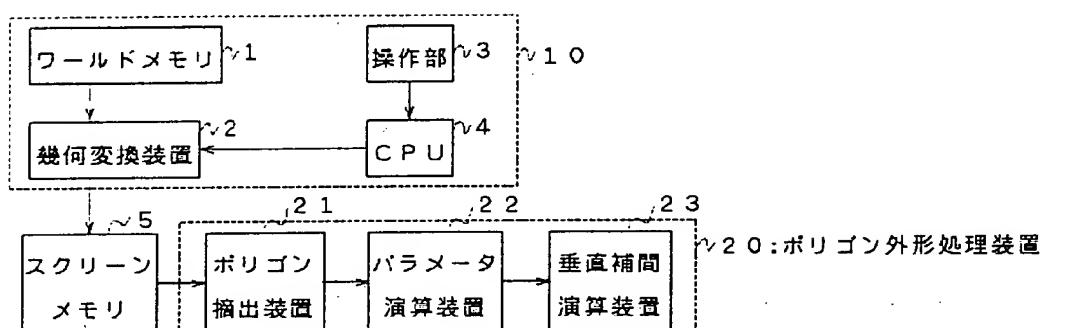
【図27】ポリゴンの辺ベクトル方向の関係を示す図である。

【図28】ポリゴンの方向ベクトルと辺との関係を示す図である。

【符号の説明】

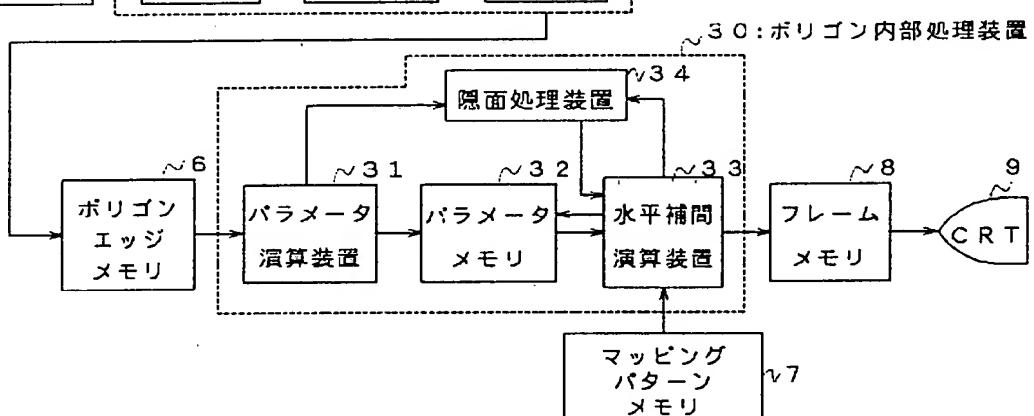
1	ワールドメモリ
2	幾何変換装置
5	スクリーンメモリ
7	マッピングパターンメモリ
8	フレームメモリ
9	CRT
20	ポリゴン外形処理装置
30	ポリゴン内部処理装置

【図1】

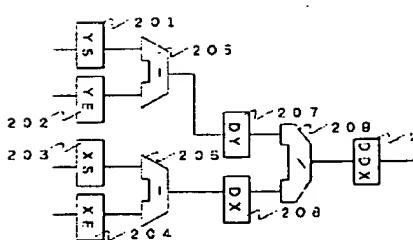


【図28】

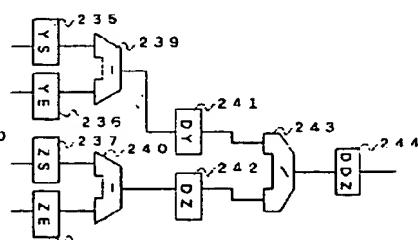
方向ベクトル	辺
0	右辺
1	右辺
2	右辺
3	右辺
4	左辺
5	左辺
6	左辺
7	左辺
8	左辺



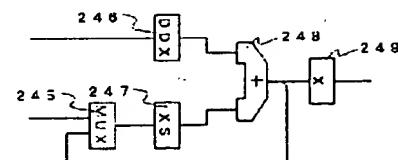
【図3】



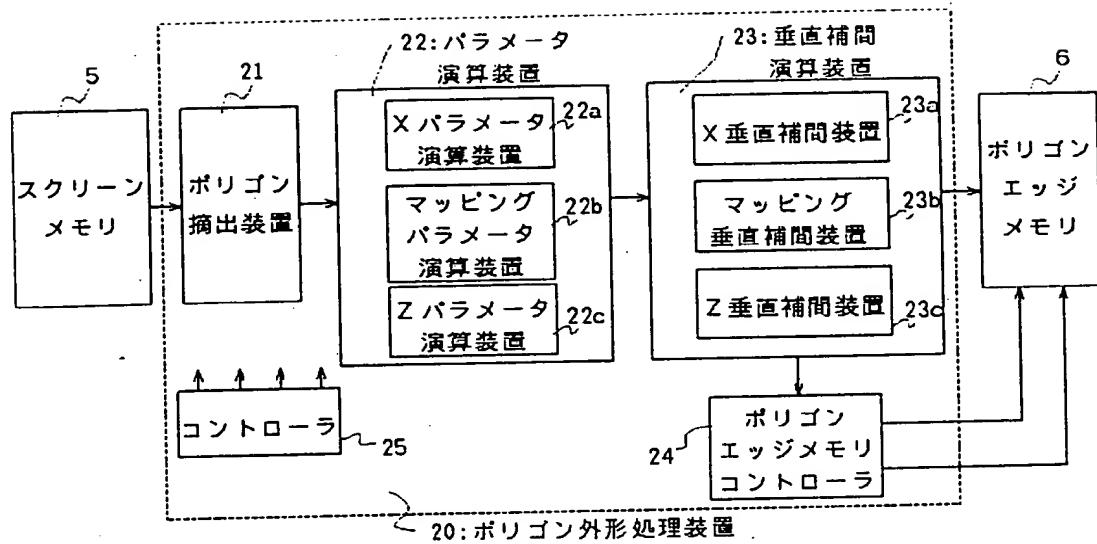
【図5】



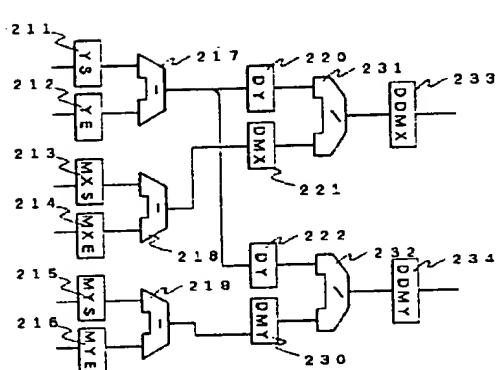
【図6】



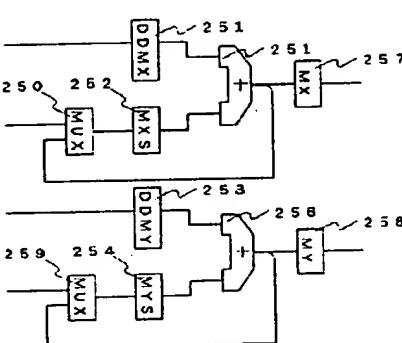
【図2】



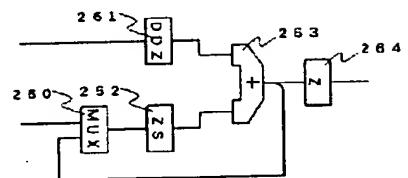
【図4】



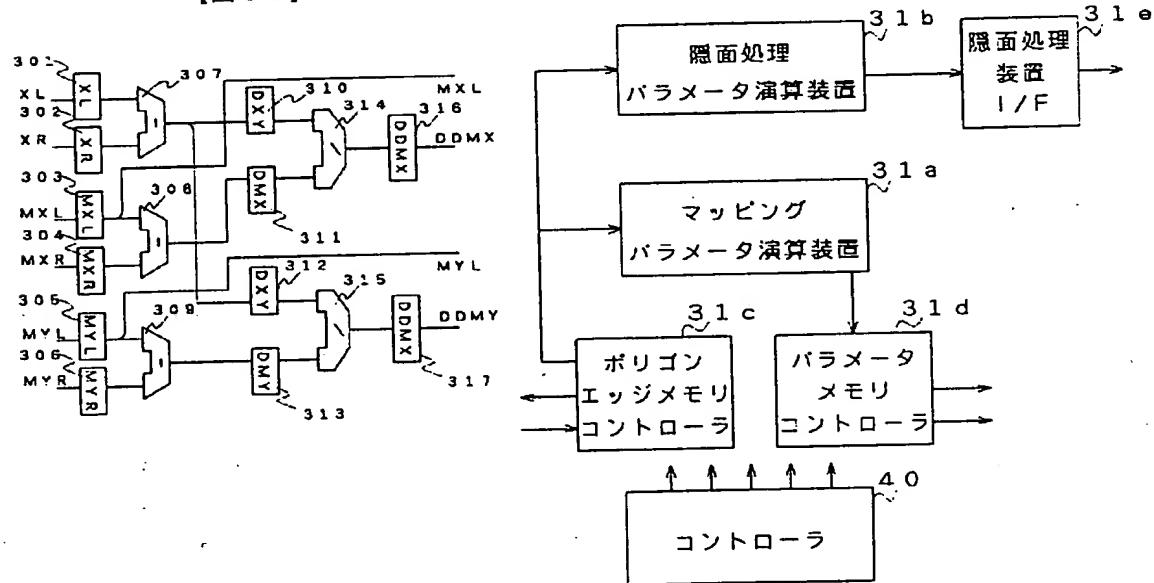
【図7】



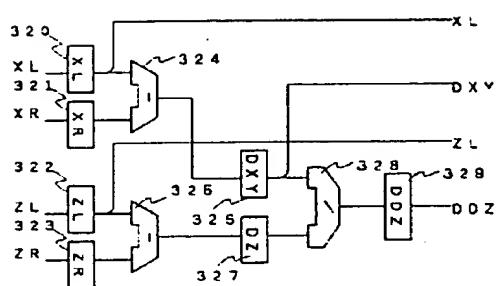
【図8】



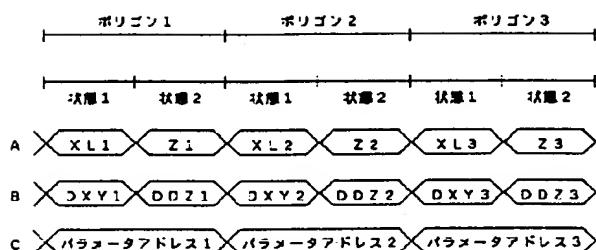
【図10】



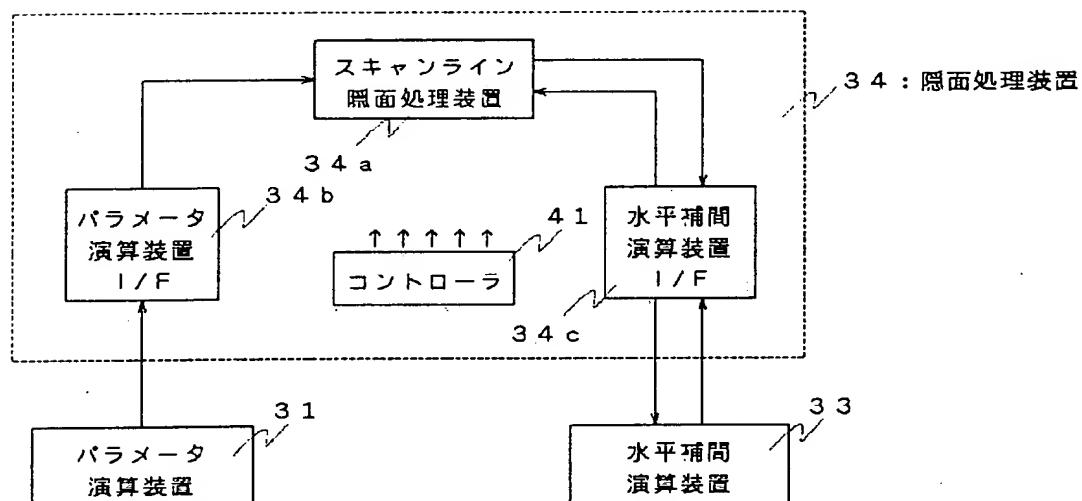
【図11】



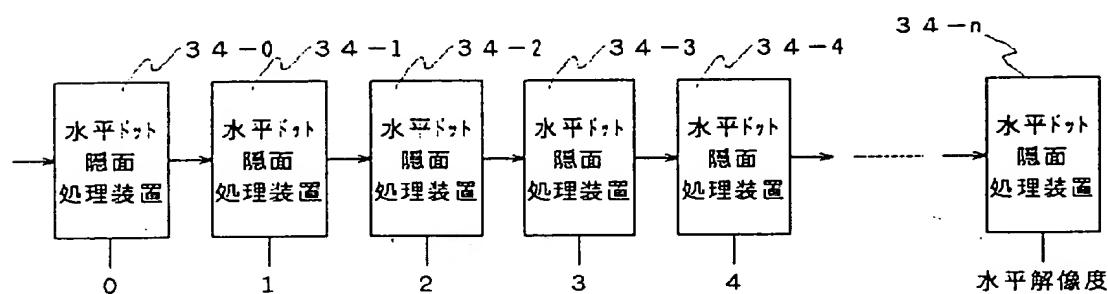
【図15】



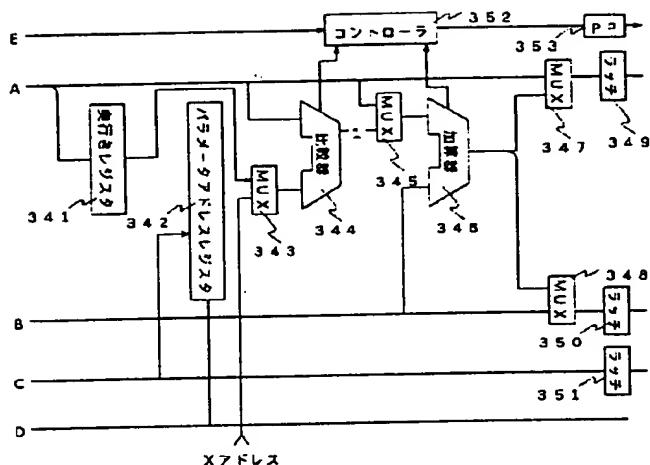
【図12】



【図13】



【図14】

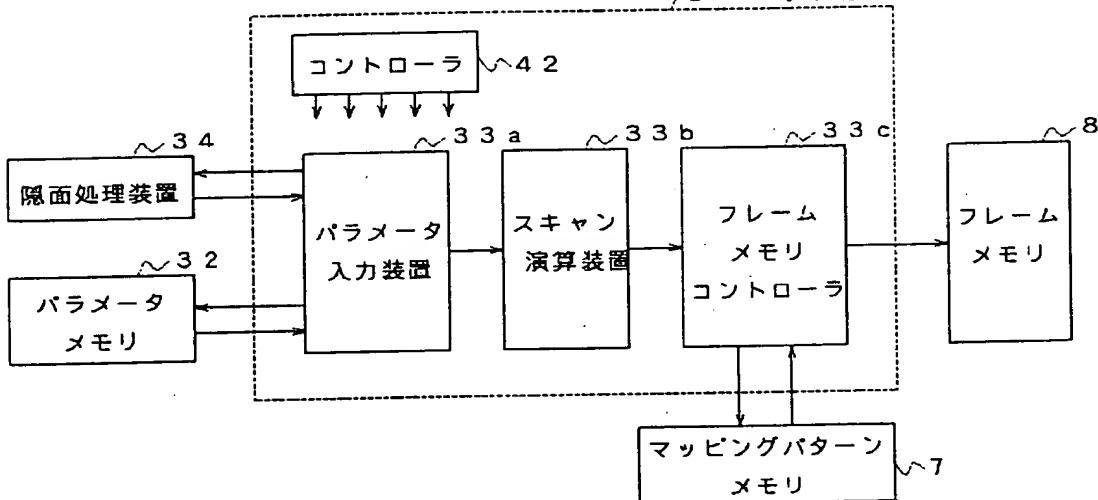


【図16】

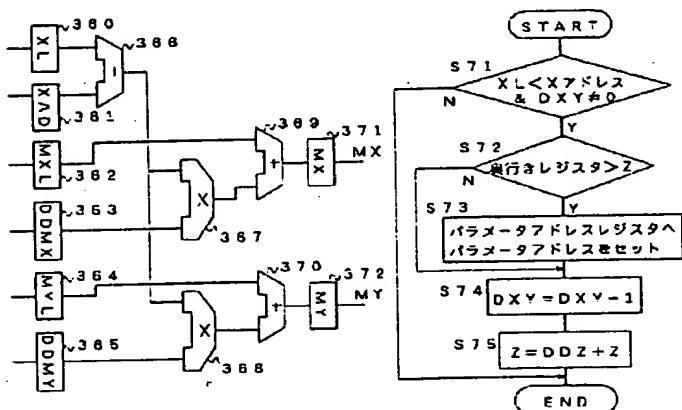
タスク	水平Frt
1	P1-1
2	P1-2 P1-1
3	P2-1 P1-2 P1-1
4	P2-2 P1-1 P1-2 P1-1
5	P3-1 P1-2 P2-1 P1-2 P1-1
6	P3-2 P2-1 P2-2 P1-1 P1-2 P1-1
7	P4-1 P3-2 P3-1 P2-1 P1-2 P1-1
8	P4-2 P4-1 P3-2 P3-1 P2-2 P1-2 P1-1
9	P5-1 P4-2 P4-1 P2-2 P3-1 P2-1 P1-2 P1-1
10	P5-2 P5-1 P4-2 P4-1 P3-2 P3-1 P2-1 P1-2 P1-1
11	P6-1 P5-2 P5-1 P4-2 P4-1 P3-2 P3-1 P2-2 P1-2 P1-1
12	P6-2 P6-1 P5-2 P5-1 P4-2 P4-1 P3-2 P3-1 P2-1 P1-2 P1-1
13	P7-1 P6-2 P6-1 P5-2 P5-1 P4-2 P4-1 P3-2 P3-1 P2-2 P1-2 P1-1
14	P7-2 P7-1 P6-2 P6-1 P5-2 P5-1 P4-2 P4-1 P3-2 P3-1 P2-1 P1-2 P1-1

【図17】

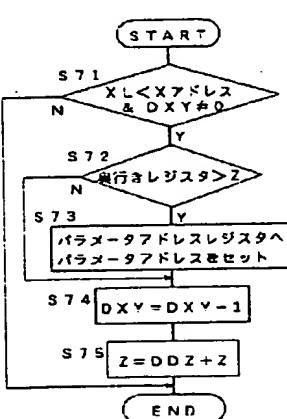
3.3: 水平補間演算装置



【図18】



【図22】

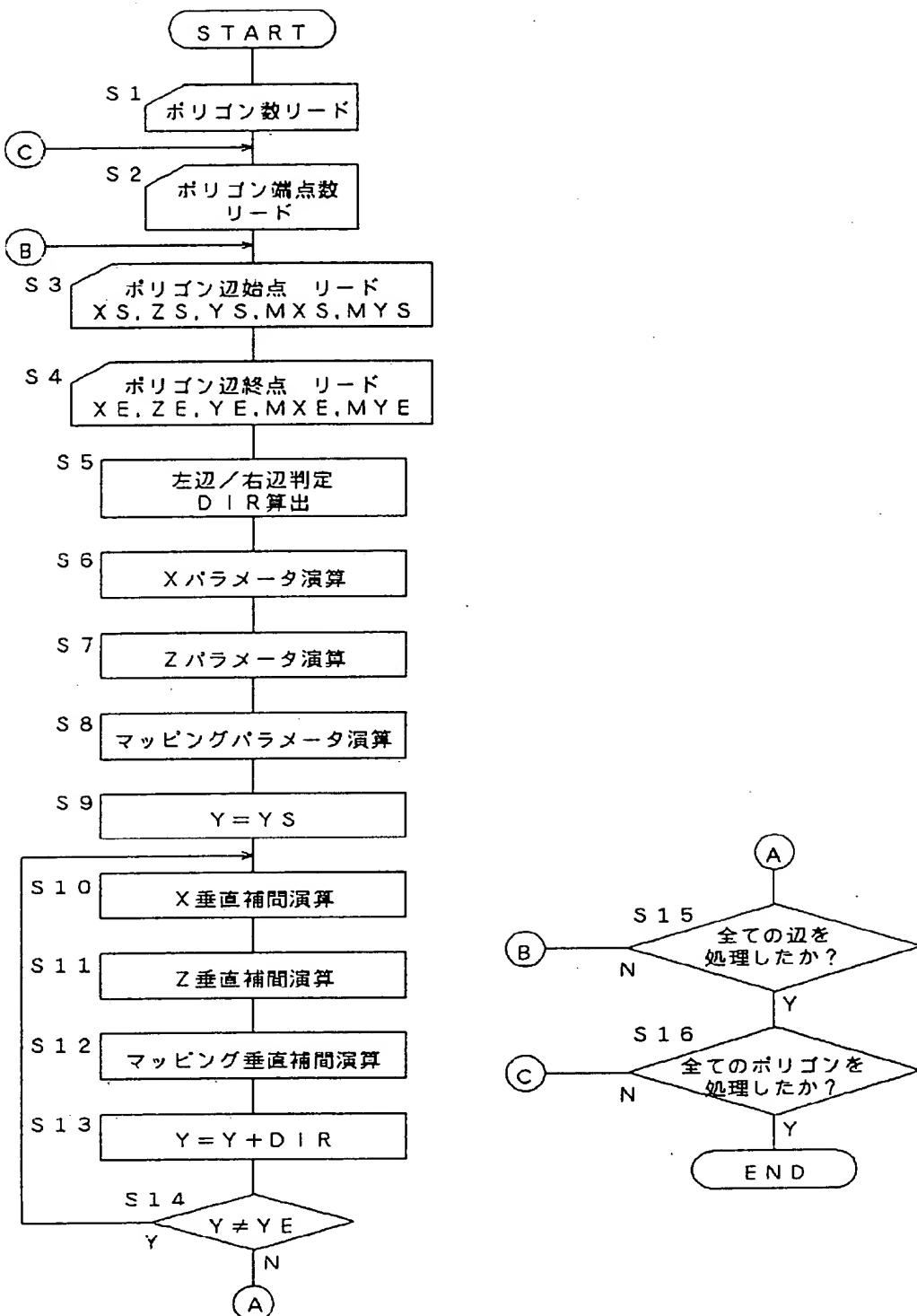


【図24】

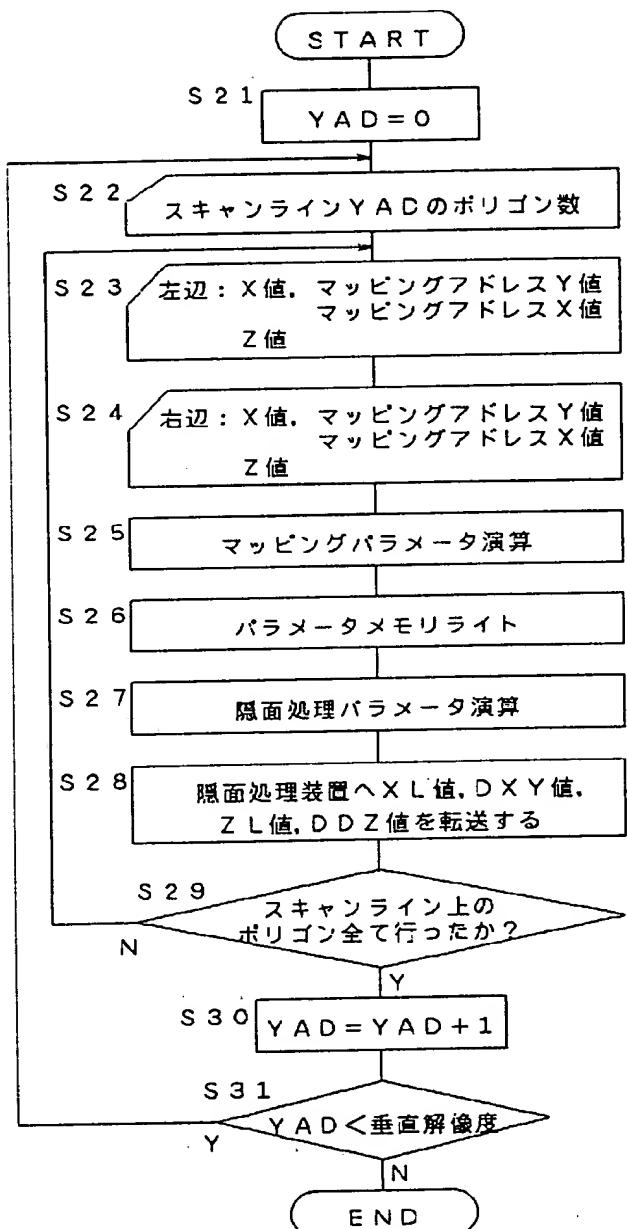
行番号	左辺X値	マッピング左辺MX値	マッピングMX差分値	マッピング左辺MY値	マッピングMY差分値
1					
2					
3					
...					
n					

パラメータメモリ

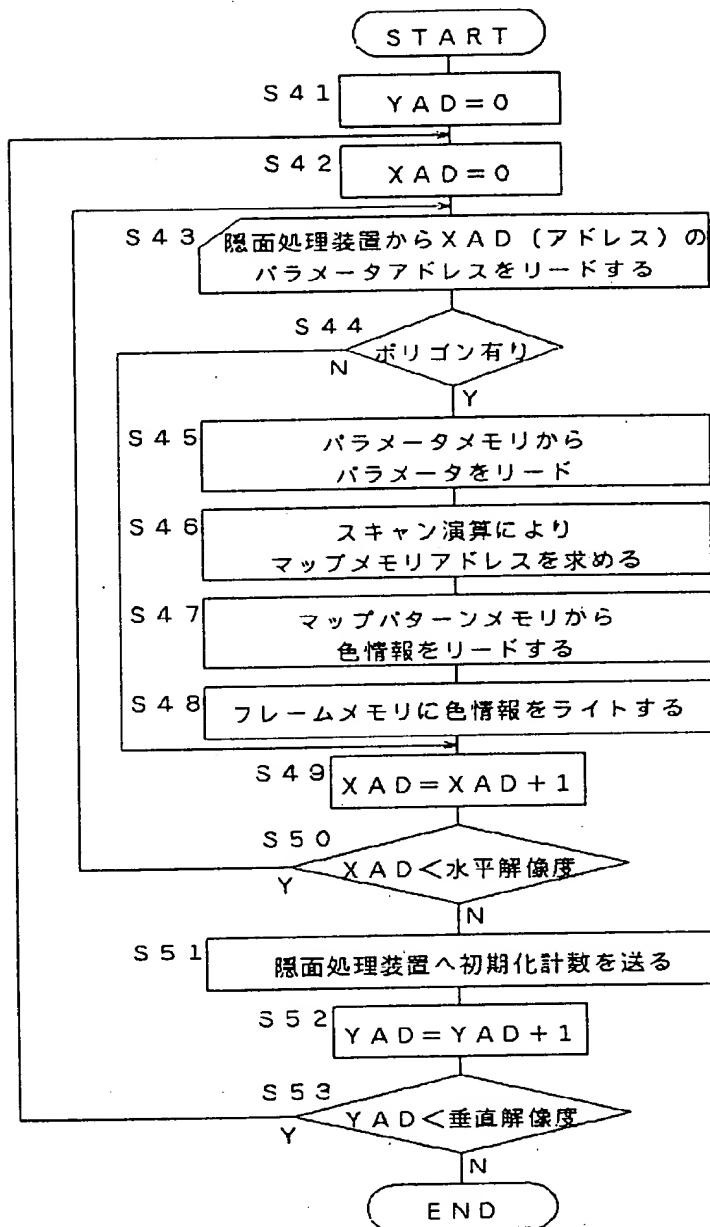
【図19】



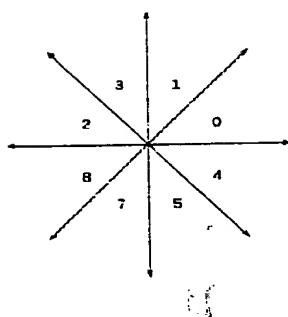
【図20】



【図21】



【図27】



【図23】

		ポリゴンスキャンライン交点1				ポリゴンスキャンライン交点2, 5, 6			
		左辺		右辺					
▼アドレス	CN	X値	マッピング Xアドレス	マッピング Yアドレス	Z値	X値	マッピング Xアドレス	マッピング Yアドレス	Z値
1									
2									
3									
⋮									

ポリゴンエッジマッピング

【図25】

ポリゴン 1	頂点1	X値	Y値
	Z値	MX	MY
2	X値	Y値	
	Z値	MX	MY
3	X値	Y値	
	Z値	MX	MY
4	X値	Y値	
	Z値	MX	MY
ポリゴン 2	頂点1	X値	Y値
	Z値	MX	MY
2	X値	Y値	
	Z値	MX	MY

スクリーンメモリ

【図26】

